

A04

SEMICONDUCTOR DEVICE

Patent Number: JP2000243098
Publication date: 2000-09-08
Inventor(s): IWASE AKIHIRO; KATO KOJI
Applicant(s): FUJITSU LTD;; FUJITSU VLSI
Requested Patent: ☐ JP2000243098
Application JP19990037570 19990216
Priority Number(s):
IPC Classification: G11C29/00
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor device in which erroneous entry can be easily recognized by a user when a test mode is erroneously entered.

SOLUTION: A test mode discriminating circuit 31 inputs an external command consisting of a chip-select signal/CS, a row address strobe signal/RAS, a column address strobe signal/CAS, a write-enable signal/WE, and the like, while inputs memory address signals A0-An. And an external command of the discriminating circuit 31 is a mode register set command, the circuit 31 discriminates whether an illegal pattern of a normal operation test mode of external memory address signals A0-An is inputted or not, and outputs a discrimination signal SGX. A test mode control circuit 32 switches signal lines L0, L1 based on the discrimination signal SGX, and inputs memory address signals A0, A1 to an address buffer/register and a bank selecting circuit 12.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-243098
(P2000-243098A)

(43) 公開日 平成12年9月8日(2000.9.8)

(51) Int.Cl. ⁷	識別記号	F I	データ* (参考)
G 1 1 C 29/00	6 7 1	G 1 1 C 29/00	6 7 1 T 5 L 1 0 6

審査請求 未請求 請求項の数22 O L (全 20 頁)

(21) 出願番号 特願平11-37570

(22) 出願日 平成11年2月16日(1999.2.16)

(71) 出願人 000005223

富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社
愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 岩瀬 章弘

愛知県春日井市高蔵寺町二丁目1844番2
富士通ヴィエルエスアイ株式会社内

(74) 代理人 100068755

弁理士 恩田 博宣

最終頁に続く

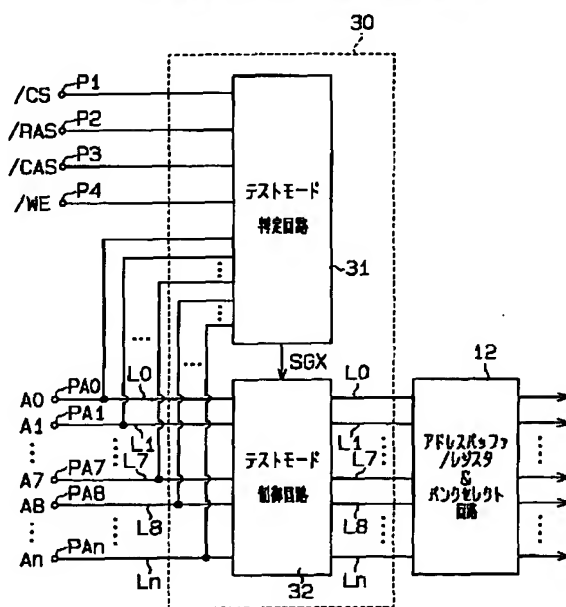
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 テストモードが誤ってエントリされた時にはユーザから容易に認識できる半導体装置を提供するにある。

【解決手段】 テストモード判定回路31は、チップセレクト信号/CS、ロウアドレスストロブ信号/RA S、コラムアドレスストロブ信号/CAS及びライトイネーブル信号/WE等からなる外部コマンドを入力するとともに、メモリアドレス信号A0~Anを入力する。そして、判定回路31は、外部コマンドがモードレジスタセットコマンドであって、外部メモリアドレス信号A0~Anが通常動作テストモードのイリーガルパターンが入力されたか否か判定して、判定信号SGXを出力する。テストモード制御回路32は、判定信号SGXに基づいて信号線L0、L1を切り替えてメモリアドレス信号A0、A1をアドレスバッファ/レジスタ&バンクセレクト回路12に入力させる。

第1実施形態のテストモード検出回路のブロック図



【特許請求の範囲】

【請求項1】 テストモードにエントリーしたことを検知する判定回路と、

その判定回路によるテストモードエントリーの検知に基づいて、前記テストモードのうちの少なくとも一つの動作に関して、その値又はアクセスタイムを通常の動作から変更する制御回路とを備えたことを特徴とする半導体装置。

【請求項2】 アドレス入力、デコーダからのメモリセルへのアクセス及びデータの入出力を含む動作モードが実行可能なテストモードにエントリーしたことを検知する判定回路と、

その判定回路によるテストモードエントリーの検知に基づいて、前記動作モードのうち少なくとも一つの動作に関して、その値又はアクセスタイムを通常の動作から変更する制御回路とを備えたことを特徴とする半導体装置。

【請求項3】 請求項2に記載の半導体装置において、前記判定回路は、アドレス入力、デコーダからのメモリセルへのアクセス及びデータの入出力を含む動作モードが実行可能なテストモードにエントリーしたことを検知した後に、前記動作モードの少なくとも一つの動作に関するコマンド信号を検知した時、判定信号を出力するものであり、

前記制御回路は、前記判定信号に応答して前記動作モードのうち少なくとも一つの動作に関して、その値又はアクセスタイムを通常の動作から変更するものであることを特徴とする半導体装置。

【請求項4】 請求項2又は3に記載の半導体装置において、前記制御回路は、メモリアドレス信号を他のメモリアドレス信号に変更するようにしたことを特徴とする半導体装置。

【請求項5】 請求項2又は3に記載の半導体装置において、前記制御回路は、入力データを他の入力データに又は出力データを他の出力データに変更するようにしたことを特徴とする半導体装置。

【請求項6】 請求項2又は3に記載の半導体装置において、前記制御回路は、コマンド信号を他のコマンド信号に変更するようにしたことを特徴とする半導体装置。

【請求項7】 請求項2又は3に記載の半導体装置において、前記制御回路は、最初の出力データが読み出されるまでのクロック数又は最初の入力データが取り込まれるまでのクロック数を変更するようにしたことを特徴とする半導体装置。

【請求項8】 請求項2又は3に記載の半導体装置において、

前記制御回路は、連続して出力される出力データの長さ又は連続して入力される入力データの長さを変更するようにしたことを特徴とする半導体装置。

【請求項9】 請求項2～8のいずれか1に記載の半導体装置において、

前記制御回路は、信号線に供給される信号を他の信号線に供給するようにしたものである半導体装置。

【請求項10】 請求項2～8のいずれか1に記載の半導体装置において、前記制御回路は、信号線に供給される信号を反転させることを特徴とする半導体装置。

【請求項11】 アドレス入力、デコーダからのメモリセルへのアクセス及びデータの入出力を含む動作モードが実行可能なテストモードにエントリーしたことを検知する判定回路と、

その判定回路によるテストモードエントリーの検知にตอบสนองして、計時動作を開始し、前記テストモードを終了し、通常動作モードへ移行させるための時間を計時するタイマ回路とを備えたことを特徴とする半導体装置。

【請求項12】 請求項11に記載の半導体装置において、

前記判定回路は、アドレス入力、デコーダからのメモリセルへのアクセス及びデータの入出力を含む動作モードが実行可能なテストモードにエントリーしたことを検知した後に、前記動作モードの少なくとも一つの動作に関するコマンド信号を検知した時、判定信号を出力するものであり、

前記タイマ回路は、前記判定信号にตอบสนองして計時動作を開始するものであることを備えたことを特徴とする半導体装置。

【請求項13】 請求項11又は12に記載の半導体装置において、

前記タイマ回路は、テストモードの種類に応じてそれぞれ異なる通常動作モードへ移行させるための時間を計時することを特徴とする半導体装置。

【請求項14】 請求項11～13のいずれか1に記載の半導体装置において、

前記タイマ回路は、セルフリフレッシュカウンタであることを特徴とする半導体装置。

【請求項15】 請求項11～14のいずれか1に記載の半導体装置において、

前記請求項2～10のいずれか1に記載した半導体装置の制御回路を備え、その制御回路に対して前記タイマ回路のタイムアップ信号に基づいて前記変更した状態を通常の動作に戻すようにしたことを特徴とする半導体装置。

【請求項16】 アドレス入力、デコーダからのメモリセルへのアクセス及びデータの入出力を含む動作モードが実行可能な複数のテストモードのための複数の予め定められた組み合わせのイリーガルパターンをそれぞれ個別に判定するとともに、複数の予め定められた組み合わせ

せのイリーガルパターンを全て検知した時、前記動作モードが実行可能なテストモードにエンタリーする判定回路を設けたことを特徴とする半導体装置。

【請求項17】 請求項16に記載の半導体装置において、

前記判定回路が動作モードが実行可能なテストモードにエンタリーする時、計時動作を開始し、前記テストモードを終了し通常動作モードへ移行させるための時間を計時するタイマ回路を備えたことを特徴とする半導体装置。

【請求項18】 請求項17に記載の半導体装置において、

前記タイマ回路は、請求項13又は14に記載した半導体装置のタイマ回路であることを特徴とする半導体装置。

【請求項19】 請求項16の半導体装置において、前記請求項2～10のいずれか1に記載した半導体装置の制御回路を備えたことを特徴とする半導体装置。

【請求項20】 請求項17又は18に記載の半導体装置において、

前記請求項1～9のいずれか1に記載した半導体装置の制御回路を備え、その制御回路に対して前記タイマ回路のタイムアップ信号に基づいて前記変更した状態を通常の動作に戻すようにしたことを特徴とする半導体装置。

【請求項21】 テストモードにエンタリーしたことを検知する判定回路と、

その判定回路によるテストモードエンタリーの検知にตอบสนองして、計時動作を開始し、前記テストモードを終了し通常動作モードへ移行させるための時間を計時するタイマ回路とを備えたことを特徴とする半導体装置。

【請求項22】 複数のテストモードのための複数の予め定められた組み合わせのイリーガルパターンをそれぞれ個別に判定するとともに、複数の予め定められた組み合わせのイリーガルパターンを全て検知した時、テストモードにエンタリーする判定回路を設けたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に係り、詳しくはテストコマンドが入力されるとテストモードに移行する半導体装置に関するものである。

【0002】

【従来の技術】一般に、半導体装置においては、製品出荷前に各種のテストが行われてテストに合格したものが製品となって出荷される。例えば、半導体記憶装置の出荷前のテストは、ある入力ピンに通常の値より高い値の電圧（いわゆるスパーハイ電圧）を加えることによって、該半導体記憶装置をテストモードにし、各種のコマンドやデータ等を該装置に入力して各種のテストが実行されている。

【0003】

【発明が解決しようとする課題】ところで、スパーハイ電圧を加えてテストモードにする方法は、スパーハイ電圧を検出するために特別な回路を必要とするとともに、その特別な回路がテストのためだけに使用されていることから高密度集積化及び回路規模の縮小化を図る上で問題であった。そこで、スパーハイ電圧に代えて、ユーザが使用しない特殊なアドレスを使ってテストモードにする方法が考えられている。例えば、事前にユーザに対して使用の禁止を提示しているコマンド（いわゆるイリーガルコマンド）をテストモードへのエンタリーコマンドとし、そのイリーガルコマンドを使ってテストモードにするものである。

【0004】SDRAM（Synchronous Dynamic Random Access Memory）やFCRAM（Fast Cycle Dynamic Random Access Memory）等は、外部クロック信号に同期して外部装置から供給されるチップセレクト信号、ロウアドレスストローブ信号、コラムアドレスストローブ信号及びライトイネーブル信号を取り込み、その取り込んだその時の各信号の組み合わせによりコマンドを決定し動作することにより高速動作を図っている。そして、このSDRAM等におけるテストモードにする方法としては、チップセレクト信号等の各信号の組み合わせ（外部コマンド）をモードレジスタセットコマンド（MRS）の組み合わせにするとともに、メモリアドレス信号A0～Anの組み合わせによって各種のテストモードを設定する。

【0005】詳述すると、SDRAM等にはモードレジスタが設けられ、そのモードレジスタはモードレジスタセットコマンドとメモリアドレス信号A0～Anの組み合わせとにより、カウンタテスト、セルブレードの高負荷試験等の各種テストモードがセットされるようになっている。

【0006】尚、各種テストモードを決定するためのメモリアドレス信号A0～Anの組み合わせは、バースト長、CASレイテンシン等のモードレジスタセットコマンドの動作モード設定に使用されるメモリアドレス信号A0～Anの組み合わせを避けて決定されている。つまり、各種テストモードを決定するためのメモリアドレス信号A0～Anの組み合わせには、ユーザの使用を禁止した組み合わせ（イリーガルパターン）が使用される。例えば、メモリアドレス信号A7とメモリアドレス信号A8が共にHレベル（正論理の信号）の時にはテストモードとなり、メモリアドレス信号A7、A8を除くアドレス信号によりテストの種類が決定される。

【0007】しかしながら、このSDRAM等を搭載したシステムにおいて、偶発的にイリーガルコマンドが発生する可能性があった。例えば、電源を立ち上げた時には、システム上のSDRAM等の入力端子の状態は不確定状態にあることから、その立ち上げ時には偶発

的にイリーガルコマンドが発生してテストモードになってしまう可能性がある。つまり、SDRAM等においては、モードレジスタセットコマンド及び各種のテストモードを決定するイリーガルパターンが偶発的に発生してモードレジスタがテストモードにセットされてしまう可能性がある。

【0008】このように偶発的にイリーガルコマンドが発生しテストモードにセットされた場合において、そのテストモードが外部のメモリアドレス信号A0～An等を受け付けなくなる等のテストモードの場合には、ユーザは直ぐ異常に気づき実使用を停止することができる。例えば、アドレスカウンタテストのように、内部回路が動作してテストが行われるテストモードであれば、メモリアドレス信号A0～Anを入力しないのにも拘わらずリードデータ等が出力されることになり、その異常に気づき実使用を停止することができる。このテストモードを解除するには、モードレジスタをリセットすることによって解除される。

【0009】これに対して、テストの中には、ユーザからみれば通常動作モードと変わらないテストモードの場合には問題となる。例えば、セルプレートの高負荷試験では、内部電圧を高電圧に変更して行う点が相違するだけで、外部からアドレス入力、アクセス、セルデータの入出力等は、通常の使用と全く同じ状態で動作する。つまり、セルプレートの高負荷試験は一つのバーイン試験であって、メモリセルの対向電極を高電圧にした状態で、通常使用される動作（ライト動作、リード動作等）を実行させるものである。

【0010】従って、この高負荷試験のテストモードが偶発的にエンタリーされ場合、ユーザは、SDRAMがバーイン状態で動作しているにも拘わらず通常通りの動作をしているため、テストモードだと気づかずそのまま実使用に入ってしまう可能性がある。このまま実使用に入るといことは、メモリセルの対向電極間に高電圧がかけられた状態で使用され続けることになり、SDRAMの寿命を著しく短くする。

【0011】本発明は上記問題点を解消するためになされたものであって、第1の発明の目的は、テストモードが誤ってエンタリーされた時にはユーザから容易に認識できる半導体装置を提供するにある。

【0012】第2の発明の目的は、テストモードが誤ってエンタリーされても解除することができる半導体装置を提供するにある。第3の発明の目的は、テストモードがエンタリーされ難い半導体装置を提供するにある。

【0013】

【課題を解決するための手段】請求項1に記載の発明によれば、判定回路によってテストモードが検知されると、制御回路はそのテストモードを実行している一つの動作に関して、その値又はアクセスタイムを通常の動作から変更する。

【0014】請求項2に記載の発明によれば、判定回路がアドレス入力、デコーダからのメモリセルへのアクセス及びデータの入出力を含む動作モードが実行可能なテストモードにエンタリーしたことを検知すると、制御回路はその動作モードのうち少なくとも一つの動作に関して、その値又はアクセスタイムを通常の動作から変更する。

【0015】請求項3に記載の発明によれば、判定回路がアドレス入力、デコーダからのメモリセルへのアクセス及びデータの入出力を含む動作モードが実行可能なテストモードにエンタリーしたことを検知するとともに、前記動作モードの少なくとも一つの動作に関するコマンド信号を検知すると、制御回路はその動作モードのうち少なくとも一つの動作に関して、その値又はアクセスタイムを通常の動作から変更する。

【0016】請求項4に記載の発明によれば、判定回路がテストモードにエンタリーしたことを検知すると、制御回路はメモリアドレス信号を他のメモリアドレス信号に変更する。

【0017】請求項5に記載の発明によれば、判定回路がテストモードにエンタリーしたことを検知すると、制御回路は入力データを他の入力データに又は出力データを他の出力データに変更する。

【0018】請求項6に記載の発明によれば、判定回路がテストモードにエンタリーしたことを検知すると、制御回路はコマンド信号を他のコマンド信号に変更する。請求項7に記載の発明によれば、判定回路がテストモードにエンタリーしたことを検知すると、制御回路は最初の出力データが読み出されるまでのクロック数又は最初の入力データが取り込まれるまでのクロック数を変更する。

【0019】請求項8に記載の発明によれば、判定回路がテストモードにエンタリーしたことを検知すると、制御回路は連続して出力される出力データの長さ又は連続して入力される入力データの長さを変更する。

【0020】請求項9に記載の発明によれば、判定回路がテストモードにエンタリーしたことを検知すると、制御回路は信号線に供給される信号を他の信号線に供給する。請求項10に記載の発明によれば、判定回路がテストモードにエンタリーしたことを検知すると、制御回路は信号線に供給される信号を反転させる。

【0021】請求項11に記載の発明によれば、タイマ回路は判定回路がアドレス入力、デコーダからのメモリセルへのアクセス及びデータの入出力を含む動作モードが実行可能なテストモードにエンタリーしたことを検知すると、タイマ回路はテストモードを終了させて通常動作モードへ移行させるための時間を計時する。

【0022】請求項12に記載の発明によれば、判定回路がアドレス入力、デコーダからのメモリセルへのアクセス及びデータの入出力を含む動作モードが実行可能な

テストモードにエンタリーしたことを検知するとともに、前記動作モードの少なくとも一つの動作に関するコマンド信号を検知すると、タイマ回路はテストモードを終了させて通常動作モードへ移行させるための時間を計時する。

【0023】請求項13に記載の発明によれば、判定回路がテストモードエンタリーしたことを検知すると、タイマ回路はそのテストモードの種類に応じた通常動作モードへ移行させるための時間を計時する。

【0024】請求項14に記載の発明によれば、判定回路がテストモードエンタリーしたことを検知すると、セルフリフレッシュカウンタはテストモードを終了させて通常動作モードへ移行させるための時間を計時する。

【0025】請求項15に記載の発明によれば、判定回路によってテストモードが検知されると、制御回路はそのテストモードを実行している一つの動作に関して、その値又はアクセスタイムを通常の動作から変更する。そして、タイマ回路のタイムアップ信号に基づいて制御回路は前記変更した状態を通常の動作に戻す。

【0026】請求項16に記載の発明によれば、判定回路はアドレス入力、デコーダからのメモリセルへのアクセス及びデータの入出力を含む動作モードが実行可能な複数のテストモードのための複数の予め定められたイリーガルパターンをそれぞれ個別に判定する。そして、判定回路は、複数の予め定められたイリーガルパターンを全て検知した時、動作モードが実行可能なテストモードにエンタリーする。

【0027】請求項17及び18に記載の発明によれば、判定回路が動作モードが実行可能なテストモードにエンタリーする時、タイマ回路はそのテストモードを終了させて通常動作モードへ移行させるための時間を計時する。

【0028】請求項19に記載の発明によれば、判定回路が動作モードが実行可能なテストモードにエンタリーする時、制御回路はそのテストモードを実行している一つの動作に関して、その値又はアクセスタイムを通常の動作から変更する。

【0029】請求項20に記載の発明によれば、判定回路が動作モードが実行可能なテストモードにエンタリーする時、制御回路はそのテストモードを実行している一つの動作に関して、その値又はアクセスタイムを通常の動作から変更する。そして、タイマ回路のタイムアップ信号に基づいて制御回路は前記変更した状態を通常の動作に戻す。

【0030】請求項21に記載の発明によれば、判定回路がテストモードエンタリーを検知すると、タイマ回路はそのテストモードを終了させて通常動作モードへ移行させるための時間を計時する。

【0031】請求項22に記載の発明によれば、判定回路は複数のテストモードのための複数の予め定められた

イリーガルパターンをそれぞれ個別に判定する。そして、判定回路は複数の予め定められたイリーガルパターンを全て検知した時、前記動作モードが実行可能なテストモードにエンタリーする。

【0032】

【発明の実施の形態】（第1実施形態）以下、本発明を半導体記憶装置に具体化した第1実施形態を図1～図4に従って説明する。

【0033】図4は、テストモード機能を備えたSDRAM（Synchronous Dynamic Random Access Memory）のブロック図である。図4において、SDRAM1は、クロックバッファ10、コマンドデコーダ11、アドレスバッファ／レジスタ&バンクセレクト回路12、I/Oデータバッファ／レジスタ13、制御信号ラッチ回路14、モードレジスタ15、コラムアドレスカウンタ16、バンク0用回路17、バンク1用回路18を有している。

【0034】又、バンク0用回路17及びバンク1用回路18内には、マトリクス状に配置されたメモリセル21、ロウデコーダ22、センスアンプ23及びコラムデコーダ24を含むメモリセルブロック（図4では、メモリセルブロック25a、25b、25c、25dのみ示す）と、ライトアンプ／センスバッファ26を有している。つまり、SDRAM1は、マトリクス状にメモリセルを配列したセルマトリクス（コア回路）が、複数のバンク単位（図4ではバンク0用回路17とバンク1用回路18）に分割されている。そのバンク毎に分割されたセルマトリクスは、さらに複数のメモリセル21がロウ及びコラム方向に配置された各ブロック（図4では、メモリセルブロック25a、25b、25c、25d）を形成する。その各ブロックでは、コラム単位でセンスアンプ23を有する。

【0035】クロックバッファ10は、外部装置からクロック信号CLKとクロックイネーブル信号CKEを入力する。クロックバッファ10は、クロック信号CLKに基づいてSDRAM1を構成する各回路部に同期クロック信号CLK1を供給する。クロックバッファ10は、クロックイネーブル信号CKEをコマンドデコーダ11、アドレスバッファ／レジスタ&バンクセレクト回路12、I/Oデータバッファ／レジスタ13に供給する。

【0036】コマンドデコーダ11は、外部装置からチップセレクト信号／CS、ロウアドレスストロープ信号／RAS、コラムアドレスストロープ信号／CAS及びライトイネーブル信号／WE（以下、これら入力される信号を総称して外部コマンドという）が供給される。

尚、各信号／CS、／RAS、／CAS、／WEの「／」は、負論理の信号を表し、その他は正論理の信号を表す。コマンドデコーダ11は、その供給される各信号の組み合わせにより外部コマンドの内容が決定され、その外部コマンドの各種内容が内部コマンドとして制御

信号ラッチ回路14、モードレジスタ15に供給される。そして、制御信号ラッチ回路14は、供給された内部コマンドをラッチしてバンク0用回路17及びバンク1用回路18に供給する。

【0037】アドレスバッファ/レジスタ&バンクセレクト回路12は、外部装置から外部メモリアドレス信号A0~Anが供給され、その外部メモリアドレス信号A0~Anを内部メモリアドレス信号A0~An（説明の便宜上、符号を外部メモリアドレス信号と同じにする）としてモードレジスタ15、コラムアドレスカウンタ16、バンク0用回路17及びバンク1用回路18に供給する。本実施形態では、外部メモリアドレス信号A0~Anの最上位ビットのアドレス信号Anは、バンクセレクト用に使用され、バンク0用回路17又はバンク1用回路18のいずれか1つを選択する。尚、アドレス信号Anの「n」は変数であって、メモリ容量に応じた整数とする。

【0038】I/Oデータバッファ/レジスタ13は、外部装置からデータ信号DQ0~DQn及びデータ入出力マスク信号DQMが供給される。I/Oデータバッファ/レジスタ13は、そのデータ信号DQ0~DQnを入力データ信号DQ0~DQnとしてバンク0用回路17、バンク1用回路18に供給する。又、I/Oデータバッファ/レジスタ13は、バンク0用回路17、バンク1用回路18からデータ信号DQ0~DQnが供給される。I/Oデータバッファ/レジスタ13は、そのデータ信号DQ0~DQnを出力データ信号DQ0~DQnとして外部装置に供給する。さらに、データ入出力マスク信号DQMは、必要に応じて入出力データ信号DQ0~DQnをマスクする。

【0039】モードレジスタ15は、コマンドデコーダ11からの内部コマンドがモードレジスタセットコマンド（MRS）である時に出力されている内部メモリアドレス信号A0~Anの状態（組み合わせ）でデータ書き込み及びデータ読み出しにおけるデータ信号のバースト長を設定するためのレジスタを有し、外部装置から設定されるバースト長に基づいてバースト長情報を生成する。このバースト長を設定する際の外部（内部）メモリアドレス信号A0~An組み合わせは、予めユーザに対して使用が許可されている組み合わせ（パターン）であって、ユーザに対して使用を禁止しているイリーガルパターンではない。

【0040】又、モードレジスタ15は、各種テストのテストモードを設定するためのレジスタを有する。そして、モードレジスタ15は、内部コマンドがモードレジスタセットコマンドであって内部メモリアドレス信号A0~Anが予め定めた複数種類のイリーガルパターンである時に対応するそれらレジスタがセットれる。予め定めた複数種類のイリーガルパターンとは、各種のテストモードを設定するためにユーザに対して使用を禁止しているパターンである。

【0041】そして、モードレジスタ15においては、

メモリアドレス信号A7とメモリアドレス信号A8の2つに基づいてテストモードを決定し、メモリアドレス信号A7、A8を除く他のメモリアドレス信号に基づいてテストの種類を特定している。尚、本実施形態ではメモリアドレス信号A7とメモリアドレス信号A8が共にHレベルの時にテストモードをエントリーするようにしている。

【0042】従って、モードレジスタ15は、内部コマンドがモードレジスタセットコマンドであって内部メモリアドレス信号A0~Anがテストのための予め定めた複数種類のイリーガルパターンである時、そのテストモードがレジスタにセットされる。そして、モードレジスタ15はそのセットされたテストに応じたテストモード信号を必要な各回路部に出力する。これによって、各種のテストが実行されることになる。

【0043】コラムアドレスカウンタ16は、アドレスバッファ/レジスタ&バンクセレクト回路12から内部メモリアドレス信号A0~Anが供給され、そのアドレス信号を各バンクに供給する。

【0044】次に、バンク0用回路17について説明する。尚、バンク0用回路17と同様な構成及び機能を有するバンク1用回路18の構成及び機能については、説明を省略する。

【0045】バンク0用回路17は、メモリセルブロック25a、25b、25c、25d内の各メモリセル21のデータをそれぞれセンスアンプ23にて読み出す。例えば、メモリセルブロック25aにおいて、ロウデコーダ22は内部メモリアドレス信号A0~Anに対応するワード線を選択するためのワード線選択信号を生成する。センスアンプ22は、ワード線選択信号により選択されたワード線に結合された全てのメモリセル21のデータをビット線を介して個々に受け取り保持する。コラムデコーダ24は、複数のセンスアンプ23に保持されたデータを複数ビット同時に選択するためのコラム線選択信号を生成する。

【0046】ライトアンプ/センスバッファ26は、データ読み出し時には、選択されたメモリセルブロックから読み出されるパラレルデータを受け取り、そのパラレルデータをデータバスを介して前記I/Oデータバッファ/レジスタ13に出力データ信号DQ0~DQnとして供給するようになっている。又、ライトアンプ/センスバッファ26は、データ書き込み時には、I/Oデータバッファ/レジスタ13からのパラレルデータである入力データ信号DQ0~DQnを受け取り、各メモリセルブロックで処理可能な信号にバッファリングしてグローバルデータバス上に出力するようになっている。

【0047】又、SDRAM1はテストモード検出回路部30を有している。次に、テストモード検出回路部30について従って説明する。テストモード検出回路部30は、テストモード判定回路31とテストモード制御回路32とを有している。

【0048】図1において、テストモード判定回路31は、チップセレクト信号入力ピンP1、ロウアドレスストロブ信号入力ピンP2、コラムアドレスストロブ信号入力ピンP3、及びライトイネーブル信号入力ピンP4に接続されている。テストモード判定回路31は、前記コマンドデコーダ11と同様に、外部装置からチップセレクト信号/CS、ロウアドレスストロブ信号/RAS、コラムアドレスストロブ信号/CAS及びライトイネーブル信号/WE（即ち、外部コマンド）が供給される。

【0049】又、テストモード判定回路31は、アドレス信号入力ピンPA0~PAnと接続され、外部装置からメモリアドレス信号A0~Anが供給されるようになっている。詳述すると、図2に示すように、テストモード判定回路31は、第1判定回路部31a、第2判定回路部31b及び第3判定回路部31cを有している。

【0050】第1及び第2判定回路部31a、31bは、外部装置からチップセレクト信号/CS、ロウアドレスストロブ信号/RAS、コラムアドレスストロブ信号/CAS及びライトイネーブル信号/WE、即ち外部コマンドが供給される。そして、第1判定回路部31aは、外部コマンドがモードレジスタセットコマンドであるとき、Hレベルの第1判定信号SGX1を第3判定回路部31cに出力する。一方、第2判定回路部31bは、外部コマンドがリードコマンドであるとき、Hレベルの第2判定信号SGX2を第3判定回路部31cに出力する。

【0051】第3判定回路部31cは、外部装置から外部メモリアドレス信号A0~Anが供給される。第3判定回路部31cは、前記Hレベルの第1判定信号SGX1にตอบสนองして外部メモリアドレス信号A0~Anを取り込む。そして、第3判定回路部31cは、外部メモリアドレス信号A0~Anに基づいてその各信号A0~Anの組み合わせがテストモード（イリーガルパターン）であって、通常動作が実行可能なテストモード（通常動作が可能なテストモードのイリーガルパターン）であるかどうか判定する。

【0052】本実施形態では、第3判定回路部31cは、メモリアドレス信号A7とメモリアドレス信号A8に基づいてテストモードを判定し、メモリアドレス信号A7、A8を除くアドレス信号によりテストの種類が判定される。さらに詳述すると、テストモード判定回路31は、メモリアドレス信号A7、A8を除くアドレス信号により、通常動作が行われる（実行可能な）テストモードであるかどうか判定する。そして、テストモード判定回路31は、イリーガルパターンが通常動作が実行可能なテストモードのイリーガルパターンの場合、Hレベルの判定信号SGXを生成し保持する。

【0053】従って、Hレベルの第1判定信号SGX1が出力されていない時、又は、Hレベルの第1判定信号SGX1が出力された時であって通常動作が実行可能なテストモ

ードのイリーガルパターン以外のパターンが入力された時には、テストモード判定回路31はHレベルの判定信号SGXを生成しない。

【0054】つまり、テストモード判定回路31は、入力ピンP1~P4からの信号（外部コマンド）がモードレジスタセットコマンドであって、入力ピンPA0~PAnからの信号（外部メモリアドレス信号A0~An）が通常の動作を行う（実行可能な）テストモードのイリーガルパターンであると判定すると、通常動作が実施可能なテストモードに入った旨のHレベルの判定信号SGXが第3判定回路部31c内にて生成され保持されるようになっている。

【0055】例えば、アドレス信号A0~Anの組み合わせがアドレスカウンタテストの場合には、アドレスカウンタテストは通常動作が行なわれないテストモードなので、Hレベルの判定信号SGXがラッチされない。

【0056】一方、セルプレートの高負荷試験のように内部電圧を高電圧に変更して行う点が相違するだけで、外部からアドレス入力、アクセス、セルデータの入出力等の動作が、通常の使用と全く同じ状態で行われるような、ユーザからみれば通常動作モードと変わらないテストモード（通常動作テストモード）の場合には、Hレベルの判定信号SGXがラッチされる。

【0057】さらに、第3判定回路部31cは、通常動作テストモードに入った旨のHレベルの判定信号SGXをラッチした状態において、以後クロック信号CLK（同期クロック信号CLK1）に同期して取り込まれる外部装置からの外部コマンドがリードコマンドの組み合わせの信号かどうか待機する。即ち、第3判定回路部31cは、第2判定回路部31bからのHレベルの第2判定信号SGX2を待つ。

【0058】そして、第3判定回路部31cは、外部装置からの外部コマンドがリードコマンドであった時（Hレベルの第2判定信号SGX2を入力した時）、前記ラッチしていたHレベルの判定信号SGXをテストモード制御回路32に出力する。尚、Hレベルの判定信号SGXをラッチしていない状態において、外部装置からの外部コマンドがリードコマンドであっても、第3判定回路部31cは、Hレベルの判定信号SGXをラッチしていないので、Hレベルの判定信号SGXをテストモード制御回路32に出力することはない。

【0059】つまり、テストモード判定回路31は、Hレベルの判定信号SGXをラッチした状態で、リードコマンドの外部コマンドが入力された時にHレベルの判定信号SGXを出力する。従って、例えば、外部コマンドがモードレジスタセットコマンドであって、アドレス信号A0~Anの組み合わせがセルプレートの高負荷試験を実行するテストモード（通常動作テストモード）である場合には、Hレベルの判定信号SGXがラッチされる。そして、リードコマンドの外部コマンドが入力されると、Hレベルの判定信号SGXがテストモード制御回路32に出力さ

れる。

【0060】テストモード制御回路32は、メモリアドレス信号A0～Anを入力する信号線L0～Lnのいずれか2本を信号線（本実施形態ではメモリアドレス信号A0、A1の信号線L0、L1）を切り替えてメモリアドレス信号A0～Anを前記アドレスバッファ／レジスタ&バンクセレクト回路12に入力させる回路である。尚、本実施形態では、信号線L2～Lnは切り替えられず、メモリアドレス信号A2～Anはそのまま前記アドレスバッファ／レジスタ&バンクセレクト回路12に入力されるようになっている。図3はそのテストモード制御回路32の回路図を示す。

【0061】図3において、テストモード制御回路32は4個の第1～第4トランスファークロップ41～44及びインバータ回路45を有している。第1トランスファークロップ41は、入力ピンPA0とアドレスバッファ／レジスタ&バンクセレクト回路12との間に配線されたメモリアドレス信号A0を入力する信号線L0をピン側信号線L0aと回路側信号線L0bとに区分するように設けられている。第1トランスファークロップ41は、PMOSTランジスタQ1とNMOSTランジスタQ2とで構成されている。そして、PMOSTランジスタQ1のゲートには前記テストモード判定回路31からの判定信号SGXが入力され、NMOSTランジスタQ2のゲートにはインバータ回路45を介して前記判定信号SGXが入力されるようになっている。

【0062】第2トランスファークロップ42は、入力ピンPA1とアドレスバッファ／レジスタ&バンクセレクト回路12との間に配線されたメモリアドレス信号A1を入力する信号線L1をピン側信号線L1aと回路側信号線L1bとに区分するように設けられている。第2トランスファークロップ42は、PMOSTランジスタQ3とNMOSTランジスタQ4とで構成されている。そして、PMOSTランジスタQ3のゲートには前記判定信号SGXが入力され、NMOSTランジスタQ4のゲートにはインバータ回路45を介して前記判定信号SGXが入力されるようになっている。

【0063】第3トランスファークロップ43は、前記ピン側信号線L1aと前記回路側信号線L0bとの間に設けられている。第3トランスファークロップ43は、PMOSTランジスタQ5とNMOSTランジスタQ6とで構成されている。そして、PMOSTランジスタQ5のゲートにはインバータ回路45を介して判定信号SGXが入力され、NMOSTランジスタQ6のゲートには判定信号SGXが入力されるようになっている。

【0064】第4トランスファークロップ44は、前記ピン側信号線L0aと前記回路側信号線L1bとの間に設けられている。第4トランスファークロップ44は、PMOSTランジスタQ7とNMOSTランジスタQ8とで構成されている。そして、PMOSTランジスタQ7のゲートにはインバータ回路45を介して判定信号SGXが入力され、N

MOSTランジスタQ8のゲートには判定信号SGXが入力されるようになっている。

【0065】従って、テストモード判定回路31からHレベルの判定信号SGXが出力されていない時には、第1及び第2トランスファークロップ41、42はオンし、第3及び第4トランスファークロップ43、44はオフする。その結果、入力ピンPA0から入力されたメモリアドレス信号A0は、信号線L0（ピン側信号線L0aと回路側信号線L0b）を介してアドレスバッファ／レジスタ&バンクセレクト回路12に入力される。又、入力ピンPA1から入力されたメモリアドレス信号A1は、信号線L1（ピン側信号線L1aと回路側信号線L1b）を介してアドレスバッファ／レジスタ&バンクセレクト回路12に入力される。

【0066】一方、テストモード判定回路31からHレベルの判定信号SGXが出力されている時には、第1及び第2トランスファークロップ41、42はオフし、第3及び第4トランスファークロップ43、44はオンする。その結果、入力ピンPA0から入力されたメモリアドレス信号A0は、信号線L0のピン側信号線L0a及び信号線L1の回路側信号線L1bを介してアドレスバッファ／レジスタ&バンクセレクト回路12に入力される。又、入力ピンPA1から入力されたメモリアドレス信号A1は、信号線L1のピン側信号線L1a及び信号線L0の回路側信号線L0bを介してアドレスバッファ／レジスタ&バンクセレクト回路12に入力される。つまり、入力ピンPA0から入力されるメモリアドレス信号A0と入力ピンPA1から入力されたメモリアドレス信号A1が切り替わってアドレスバッファ／レジスタ&バンクセレクト回路12に入力される。

【0067】次に、上記のように構成したテストモード検出回路部30の作用について説明する。今、システム電源を立ち上げた時に、偶発的に入力ピンP1～P4にモードレジスタセットコマンドが発生するとともに、入力ピンPA0～PANにテストモードのためのイリーガルパターンが発生すると、SDRAM1はモードレジスタ15によりテストモードになる。その結果、SDRAM1はそのテストモードのためのイリーガルパターンの内容に基づくテストを実行する。

【0068】この時、設定されたテストモードが、通常動作テストモードの1つである例えばセルフプレートの高負荷試験のテストモードとすると、SDRAM1はメモリセル21の対向電極間の電圧を通常の電圧より高い電圧を加えて通常の動作を行うべく、新たな外部コマンド及びメモリアドレス信号A0～Anを待つ。一方、テストモード判定回路31はHレベルの判定信号SGXをラッチし、リードコマンドの入力を待つ。

【0069】セルフプレートの高負荷試験は、メモリセル21のデータ読み出しが行われることから、外部装置からリードコマンドの外部コマンドと読み出すメモリセル21を指定するメモリアドレス信号A0～AnがSDRAM

1に入力される。

【0070】リードコマンドの外部コマンドが入力されると、テストモード判定回路31はラッチしていたHレベルの判定信号SGXをテストモード制御回路32に出力する。テストモード制御回路32は第1及び第2トランスファークロウ41、42をオフさせ、第3及び第4トランスファークロウ43、44をオンさせる。そして、テストモード制御回路32は入力ピンPA0から入力されるメモリアドレス信号A0と入力ピンPA1から入力されたメモリアドレス信号A1を互いに切り替えてアドレスバッファ/レジスタ&バンクセレクト回路12に入力させる。

【0071】従って、このリード動作において、外部装置が指定するメモリセル21のアドレスのメモリアドレス信号とは相違するメモリアドレス信号がアドレスバッファ/レジスタ&バンクセレクト回路12に入力される。その結果、その相違したメモリアドレス信号に基づくアドレスにあるメモリセル21が指定されその内容が読み出される。つまり、外部装置が指定するメモリセル21とは相違するメモリセル21の内容が読み出される。従って、ユーザは、指定するメモリセル21とは相違するメモリセル21の内容が読み出され予期した内容と相違していることを容易に認識し何らかの原因で異常な状態で動作（セルブレードの高負荷試験のテストモードで動作）していることを認識することができる。

【0072】そして、ユーザが一旦システム電源を落とし再び立ち上げたり又は再起動させると、モードレジスタ15のテストモードはリセットされ、SDRAM1は通常の動作モードとなる。

【0073】尚、このSDRAM1を製品出荷前に、前記入力ピンP1～P4、PA0～PAnにテストコマンドを入力して実際のテストを行う場合には、データを読み出すメモリセルのアドレスが切り替わることが事前に解っているため、その切り替えを考慮して試験を行うことができ試験に不都合は生じない。

【0074】次に、上記のように構成したSDRAM1の特徴を以下に記載する。

(1) 本実施形態では、SDRAM1にテストモード判定回路31及びテストモード制御回路32を有するテストモード検出回路部30を設けた。そして、テストモード判定回路31にて、通常の動作が行われる通常動作テストモードかどうか判定し、そのテストモードと判定した後リードコマンドが発生した時にHレベルの判定信号SGXを出力する。テストモード制御回路32は、この判定信号SGXに応答してアドレス信号A0とアドレス信号A1とを互いに切り替えてアドレスバッファ/レジスタ&バンクセレクト回路12に入力して、外部装置から指定したアドレスのメモリセル21とは異なるメモリセル21のデータを読み出すようにした。

【0075】従って、ユーザは、予期した内容と相違し

ていることを容易に認識し何らかの原因で異常な状態で動作（セルブレードの高負荷試験のテストモードで動作）していることを認識することができる。

【0076】そして、ユーザがシステム電源を一旦切って再び立ち上げたり、再起動することによって、先の偶発的に発生したセルブレードの高負荷試験のテストモードでの動作の続行は回避される。つまり、メモリセル21の対向電極間に高電圧を印加する点を除いて通常の動作が行われるセルブレードの高負荷試験でのユーザ使用は、いち早く認識され回避される。

【0077】従って、メモリセル21の対向電極間に高電圧が印加されたままで気付かずに使用し続けられてメモリセル21の寿命を短くするといったことはなくなる。

(2) 本実施形態のテストモード判定回路31は、リードコマンドが発生した時に判定信号SGXを出力するようにした。つまり、ライトコマンドに基づいて指定したアドレスのメモリセルにデータを書き込む場合は、その指定したアドレスのメモリセルに書き込まれる。従って、指定したアドレスのメモリセル21にデータを書き込み、次にその指定したアドレスのメモリセル21に書き込んだデータを読み出すような動作では、リード動作時に先に書き込んだアドレスのメモリセル21が指定されることはないことから、より容易にデータが違うことを認識することができる。

【0078】(第2実施形態) 次に本発明を具体化した第2実施形態を図5～図7に従って説明する。本実施形態は、偶発的に発生したコマンド及びアドレス信号によりテストモード（通常動作テストモード）に入ったら一定時間経過後に該テストモードを解除することを特徴とするものである。本実施形態では、説明の便宜上、前記第1実施形態と相違する構成について説明する。

【0079】図5は本実施形態のテストモード検出回路を説明するためのブロック回路図、図6はそのテストモード検出回路を備えたSDRAM1の構成を説明するブロック回路図を示す。

【0080】図5及び図6において、テストモード検出回路30は、タイマ回路51を備えている。タイマ回路51は、テストモード判定回路31からの判定信号SGXを入力する。そして、タイマ回路51は、Hレベルの判定信号SGXを応答して予め定めた時間（例えば1秒）経過後にテストモード判定回路31に対して1パルスのタイムアップ信号STPを出力するようになっている。

【0081】テストモード判定回路31は、タイムアップ信号STPを入力すると、出力していたHレベルの判定信号SGXを消失するようになっている。従って、テストモード制御回路32は元の通常の状態に復帰する。

【0082】又、テストモード判定回路31は、判定信号SGXをモードレジスタ15に出力するようになっている。モードレジスタ15は、このHレベルの判定信号SG

Xの消失に応答してその時保持しているテストモードをリセットし、モードレジスタ15から出力されていたテストモード信号を消失させるようになっている。

【0083】図7は、テストモード判定回路31の第3判定回路部31cの回路図である。尚、本実施形態のテストモード判定回路31は、前記第1実施形態と同様に第1～第3判定回路部31a～31cを備えている。そして、本実施形態の第1及び第2判定回路部31a、31bの構成は第2判定回路部31bの第2判定信号SGX2の消失タイミングが相違することを除いてほぼ第1実施形態と同じであるのでその説明は省略し、第3判定回路部31cについて詳細に説明する。

【0084】尚、説明を容易にするために、本実施形態では、通常の動作を行う通常動作テストモードの数を3種類とし、メモリアドレス信号A7、A8に基づいてテストモードが、メモリアドレス信号A9～A11に基づいて通常動作テストモードか否かが決定されるものとして説明する。そして、3種類の通常動作テストモードの各イリーガルパターンを以下のようにする。

【0085】第1の通常動作テストモードのイリーガルパターンは、メモリアドレス信号A10がLレベルで、他のメモリアドレス信号A7～A9、A11がHレベルのパターンとする。第2の通常動作テストモードのイリーガルパターンは、メモリアドレス信号A11がLレベルで、他のメモリアドレス信号A7～A10がHレベルのパターンとする。又、第3の通常動作テストモードのイリーガルパターンは、メモリアドレス信号A9がLレベルで、他のメモリアドレス信号A7、A8、A10、A11がHレベルのパターンとする。

【0086】図7において、第3判定回路部31cは、判定部56、ゲート部57、保持部58、出力部59を有している。判定部56は、第1～第3ナンド回路61～63とインバータ回路71～73とから構成されている。ゲート部57は第1～第3トランスファージェート64～66とインバータ回路74とから構成されている。保持部58は第1～第3ラッチ回路67～69とから構成されている。出力部59はノア回路70、インバータ回路76、77及びトランスファージェート78とから構成されている。

【0087】まず、判定部56について説明する。第1ナンド回路61は、5入力端子のナンド回路であって、メモリアドレス信号A7～A9、A11を入力するとともに、インバータ回路71を介してメモリアドレス信号A10を入力する。即ち、第1ナンド回路61は、前記第1の通常動作テストモードのイリーガルパターンが入力されたか否かが判定される。

【0088】そして、第1ナンド回路61は、第1の通常動作テストモードのイリーガルパターンが入力された時、HレベルからLレベルに立ち下がる出力信号を出力する。第1ナンド回路61の出力信号は、第1トランス

ファージェート64を介して第1ラッチ回路67に出力される。

【0089】第2ナンド回路62は、5入力端子のナンド回路であって、メモリアドレス信号A7～A10を入力するとともに、インバータ回路72を介してメモリアドレス信号A11を入力する。即ち、第2ナンド回路62は、前記第2の通常動作テストモードのイリーガルパターンが入力されたか否かが判定される。

【0090】そして、第2ナンド回路62は、第2の通常動作テストモードのイリーガルパターンが入力された時、HレベルからLレベルに立ち下がる出力信号を出力する。第2ナンド回路62の出力信号は、第2トランスファージェート65を介して第2ラッチ回路68に出力される。

【0091】第3ナンド回路63は、5入力端子のナンド回路であって、メモリアドレス信号A7、A8、A10、A11を入力するとともに、インバータ回路73を介してメモリアドレス信号A9を入力する。即ち、第3ナンド回路63は、前記第3の通常動作テストモードのイリーガルパターンが入力されたか否かが判定される。

【0092】そして、第3ナンド回路63は、第3の通常動作テストモードのイリーガルパターンが入力された時、HレベルからLレベルに立ち下がる出力信号を出力する。第3ナンド回路63の出力信号は、第3トランスファージェート66を介して第3ラッチ回路69に出力される。

【0093】次に、ゲート部57について説明する。第1～第3トランスファージェート64～66は、それぞれPMOSTランジスタQ11とNMOSTランジスタQ12とで構成されている。そして、PMOSTランジスタQ11のゲートにはインバータ回路74を介して第1判定信号SGX1が入力され、NMOSTランジスタQ12のゲートには前記第1判定回路部31aからの第1判定信号SGX1が入力されるようになっている。従って、外部装置からモードレジスタセットコマンドが入力されたとき、Hレベルの第1判定信号SGX1が第1判定回路部31aから出力されて、第1～第3トランスファージェート64～66はオンされる。その結果、第1～第3ナンド回路61～63の出力信号は、それぞれ対応する第1～第3ラッチ回路67～69に出力される。

【0094】反対に、外部装置からモードレジスタセットコマンドが入力されていないとき、第1判定回路部31aからHレベルの第1判定信号SGX1が出力されないの、第1～第3トランスファージェート64～66はオフ状態となる。その結果、第1～第3ナンド回路61～63の出力信号は、それぞれ対応する第1～第3ラッチ回路67～69に出力されない。

【0095】次に、保持部58について説明する。第1～第3ラッチ回路67～69は、2個のナンド回路67a～69a、67b～69bと2個のインバータ回路6

7c~69c, 67d~69dをそれぞれ備えている。

【0096】各ラッチ回路67~69のナンド回路67a~69aは2入力端子のナンド回路であって、それぞれ第1~第3トランスファークロップ64~66に接続されているとともに、それぞれをインバータ回路67c~69cを介して自身の出力端子に接続されている。

【0097】各ラッチ回路67~69のナンド回路67b~69bは2入力端子のナンド回路であって、それぞれ前段のナンド回路67a~69aの出力端子に接続されている。又、ナンド回路67b~69bの他方の入力端子(リセット入力端子)には、インバータ回路75を介して前記タイマ回路51からの1パルスのタイムアップ信号STPが入力されるようになっている。

【0098】各ラッチ回路67~69のインバータ回路67d~69dは、それぞれ前段のナンド回路67b~69bの出力端子に接続され、ナンド回路67b~69bの出力信号を反転させてそれぞれラッチ回路67~69の出力信号として出力する。

【0099】従って、各ラッチ回路67~69は、ナンド回路67b~69bのリセット入力端子にHレベルの状態、各ラッチ回路67~69の出力がLレベルのとき、ナンド回路67a~69aにそれぞれ第1~第3トランスファークロップ64~66を介してLレベルの信号が入力されると、ナンド回路67a~69aの出力信号がLレベルからHレベルとなる。そして、次段のナンド回路67b~69bの出力信号がHレベルからLレベルとなり、各ラッチ回路67~69の出力信号はHレベルとなる。その結果、前記タイマ回路51から1パルスのタイムアップ信号STPが入力されるまで、各ラッチ回路67~69はHレベル出力信号を保持する。各ラッチ回路67~69は1パルスのタイムアップ信号STPが入力されると、その出力はLレベルになる。

【0100】つまり、各ラッチ回路67~69は、対応する第1~第3ナンド回路61~63が通常動作テストモードと判定し、同第1~第3ナンド回路61~63からLレベルの出力信号が出力されると、Hレベルの内容を保持する。そして、1パルスのタイムアップ信号STPが入力されると、各ラッチ回路67~69は、Lレベルの内容を保持する。

【0101】次に、出力部59について説明する。ノア回路70は各ラッチ回路67~69の出力信号(保持している内容)を入力する。即ち、ノア回路70は各ラッチ回路67~69の少なくともいずれか1つが保持している内容がHレベルの時には、Lレベルの出力信号を出力する。ノア回路70の出力信号はインバータ回路76を介して判定信号SGXとして出力される。

【0102】インバータ回路76の出力端子は第4トランスファークロップ78に接続されている。第4トランスファークロップ78は、それぞれPMOSTランジスタQ13とNMOSTランジスタQ14とで構成されている。そし

て、PMOSTランジスタQ13のゲートにはインバータ回路77を介して前記第2判定信号SGX2が入力され、NMOSTランジスタQ14のゲートには前記第2判定信号SGX2が入力されるようになっている。従って、外部装置からリードコマンドが入力されたとき、Hレベルの第2判定信号SGX2が第2判定回路部31bから出力されて、第4トランスファークロップ78はオンされる。その結果、インバータ回路76の出力信号(判定信号SGX)は、第4トランスファークロップ78を介して出力される。

【0103】反対に、外部装置からリードコマンドが入力されていないとき、Hレベルの第2判定信号SGX2が出力されないため、第4トランスファークロップ78はオフ状態となる。その結果、インバータ回路76の出力信号(判定信号SGX)は、第4トランスファークロップ78を介して出力されない。

【0104】つまり、第2判定回路部31cは、第1~第3の通常動作テストモードのうちのいずれか1つのモードのイリーガルパターンがモードレジスタセットコマンドとともに入力されると、その対応する通常動作テストモードのラッチ回路がHレベルの内容を保持する。そして、リードコマンドが入力されると、ラッチ回路が保持していたHレベルの内容がHレベルの判定信号SGXとして出力される。

【0105】やがて、タイマ回路51から、1パルスのタイムアップ信号STPが出力されると、各ラッチ回路67~69はリセットされてLレベルの内容を保持する。そして、各ラッチ回路67~69の内容がLレベルになることにより、Hレベルの判定信号SGXはLレベルとなって消失する。このHレベルの判定信号SGXの消失にตอบสนองして、モードレジスタ15は先にセットしていたテストモードをリセットする。

【0106】尚、第2判定回路部31bの第2判定信号SGX2は、1パルスのタイムアップ信号STPが出力され各ラッチ回路67~69の内容がLレベルになるまで、保持されているようになっていて、本実施形態では、第2判定回路部31bはタイムアップ信号STPを入力し、同タイムアップ信号STPに基づいてHレベルの第2判定信号SGX2を消失するようになっている。

【0107】次に、上記のように構成したテストモード検出回路部30の作用について説明する。システム電源を立ち上げた時に、偶発的に入力ピンP1~P4にモードレジスタセットコマンドに相当する信号が発生するとともに、入力ピンPA7~PA11に第1~第3の通常動作テストモードのいずれかのイリーガルパターンに相当する信号が発生すると、テストモード判定回路31はHレベルの判定信号SGXをラッチする。このとき、モードレジスタ15も通常動作テストモードとなる。そして、モードレジスタ15はそのイリーガルパターンに対応したテストモード信号を出力する。

【0108】従って、この通常動作テストモードが例えばセルプレートの高負荷試験である場合には、SDRAM1はメモセルの対向電極に高電圧を印加した状態で外部装置からの各コマンド及びアドレス信号等に基づいて通常の動作を実行する。

【0109】そして、外部装置からリードコマンドが入力されると、テストモード判定回路31は、ラッチしていたHレベルの判定信号SGXをテストモード制御回路32及びタイマ回路51に出力する。そして、テストモード判定回路31は、所定時間経過後タイマ回路51から出力されるタイムアップ信号STPにตอบสนองしてHレベルの判定信号SGXを消失させる。このHレベルの判定信号SGXの消失にตอบสนองして、モードレジスタ15は先にセットしていたテストモードをリセットする。従って、SDRAM1は、Hレベルの判定信号SGXを出力した後所定時間経過するとテストモードが解除され通常の動作モードに移行する。

【0110】次に、上記のように構成したSDRAM1の特徴を以下に記載する。

(1) 本実施形態では、SDRAM1が電源立ち上げ時等に偶発的に発生したコマンド及びアドレス信号によって通常の動作が行われる通常動作テストモードとなっても、所定時間経過後には強制的にそのテストモードが解除されて通常の動作に復帰させることができる。

【0111】従って、ユーザはシステム電源を一旦切って再び立ち上げたり、再起動させることなく、偶発的に発生した例えばセルプレートの高負荷試験のテストモードでの動作の続行は回避される。その結果、メモセル21の対向電極間に高電圧が印加されたままで気付かずに使用し続けられてメモセル21の寿命を短くするといったことはなくなる。

【0112】(2) 本実施形態では、第1実施形態と同様にHレベルの判別信号SGXにตอบสนองしてテストモード制御回路32は動作する。従って、第1実施形態と同様に、ユーザは、予期した内容と相違していることを容易に認識し何らかの原因で異常な状態で動作(セルプレートの高負荷試験のテストモードで動作)していることをより容易に認識することができる。

【0113】尚、本実施形態では、第1～第3の通常動作テストモード、即ち、複数種類のテストモードを検知するようにしたが、予め定めた1の通常動作テストモードで実施してもよい。

【0114】(第3実施形態) 次に本発明を具体化した第3実施形態を図9～図10に従って説明する。本実施形態は、偶発的に通常動作テストモードとなる前記モードレジスタセットコマンド及びイリーガルパターンのアドレス信号が発生してもそのテストモードになり難くしたことを特徴とするものである。

【0115】尚、本実施形態も第2実施形態と同様に、通常動作テストモードの数を3種類とし、メモリアドレ

ス信号A7、A8に基づいてテストモードが、メモリアドレス信号A9～A11に基づいて第1～第3の通常動作テストモードか否かが決定されるものとして説明する。

【0116】図8は、本実施形態のSDRAM1の構成を示すブロック回路を示す。図8において、テストモード判定回路31は、外部装置からチップセレクト信号/CS、ロウアドレスストロブ信号/RAS、コラムアドレスストロブ信号/CAS及びライトイネーブル信号/WE、即ち外部コマンドが供給される。又、テストモード判定回路31は、第2実施形態と同様に外部装置から外部メモリアドレス信号A0～Anのうち外部メモリアドレス信号A7～A11が供給される。

【0117】テストモード判定回路31は、図9に示すように、第1判定回路部31aと第4判定回路部31dを有している。本実施形態の第1判定回路部31aは、第1及び第2実施形態の第1判定回路部31aと同じ構成であって、外部コマンドを入力し外部コマンドがモードレジスタセットコマンドである時のみ、Hレベルの第1判定信号SGX1を第4判定回路部31dに出力する。

【0118】第4判定回路部31dは、第1判定信号SGX1及び外部メモリアドレス信号A7～A11を入力する。図10は第4判定回路部31dを説明するための回路図である。図10に示すように、本実施形態の第4判定回路部31dは、前記第2実施形態で説明した第3判定回路部31cにおいて、インバータ回路77及び第4トランスファゲート78を省略し、ノア回路70をナンド回路80に変更した点が相違するだけである。

【0119】従って、本実施形態の第4判定回路部31dは、第1～第3ラッチ回路67～69が全てHレベルになっている時のみ、ナンド回路80の出力はLレベルになる。この時、インバータ回路76はHレベルの出力信号(Hレベルの判定信号SGX)をモードレジスタ15及びタイマ回路51に出力する。一方、第1～第3ラッチ回路67～69の少なくとも1がLレベルになっている時には、ナンド回路80の出力はHレベルのままとなる。即ち、インバータ回路76はLレベルの出力信号をモードレジスタ15及びタイマ回路51に出力する。

【0120】ここで、第1～第3ラッチ回路67～69が全てHレベルの内容をラッチするということは、判定部56の全ての第1～第3ナンド回路61～63が少なくとも1回Lレベルとなった時である。つまり、第1～第3ナンド回路61～63にそれぞれ対応するテストモード(第1～第3の通常動作テストモード)が全て入力された時に、第1～第3ラッチ回路67～69の全ての内容がHレベルとなる。詳述すると、第1～第3ラッチ回路67～69の全ての内容がHレベルということは、第1～第3の通常動作テストモードのイリーガルパターンが少なくとも1回入力ピンPA7～PA11に発生しなければならぬ。

【0121】言い換えると、外部メモリアドレス信号A7

～A11で作成される第1～第3の通常動作テストモードのイーガルパターンのいずれか1が偶発的に発生することがあったとしても、その複数種類、即ち第1～第3の通常動作テストモードのイーガルパターンが全て発生することはないことを意味する。

【0122】このことは、電源を立ち上げたときに、偶発的に例えば第1の通常動作テストモードのイーガルパターンが発生しても、残る第2、第3ラッチ回路68、69の内容がHレベルとならず、ナンド回路80の出力はHレベルのままであってインバータ回路76からHレベルの判定信号SGXを出力しないということである。

【0123】従って、第4判定回路部31dは、偶発的に発生する確率がさらに低い、例えば第1～第3の通常動作テストモードのイーガルパターンの全てが発生した場合に、Hレベルの判定信号SGXがモードレジスタ15及びタイマ回路51に出力される。

【0124】タイマ回路51は、前記第2実施形態と同じタイマ回路51であって、Hレベルの判定信号SGXに応答して所定時間経過後に1パルスのタイムアップ信号STPを第4判定回路部31dの各ラッチ回路67～69に出力する。従って、第4判定回路部31dは、タイムアップ信号STPに応答してHレベルの判定信号SGXをLレベルに消失させる。

【0125】モードレジスタ15は、第2実施形態と同様にコマンドデコード11及びアドレスバッファ/レジスタ&バンクセレクト回路12からのモードレジスタコマンドとイーガルパターンとに基づいて各種のテストモードをレジスタにセットするようになっている。この時、モードレジスタ15は、Hレベルの判定信号SGXが入力されている時にそのテストモードのレジスタをセットし、Hレベルの判定信号SGXが出力されていない時にはそのテストモードのレジスタをセットしないようになっている。

【0126】又、モードレジスタ15は、テストモードのレジスタをセットした状態において、Hレベルの判定信号SGXがLレベルに消失した時にはそのテストモードをリセットするようになっている。従って、偶発的に発生する確率が極めて低い通常動作テストモードが仮に発生しても、モードレジスタ15は所定時間経過後にその通常動作テストモードをリセットする。

【0127】次に、上記のように構成した、第3実施形態のSDRAM1の特徴について以下に記載する。

(1) 本実施形態によれば、テストモード判定回路31に第4判定回路部31dを設け、同時に発生することがないイーガルパターンであって、通常の動作が行われる各種のテストモード(第1～第3の通常動作テストモード)を設定するためのイーガルパターンをそれぞれ対応する第1～第3ナンド回路61～63によって検出させ、その検出結果をそれぞれ第1～第3ラッチ回路6

7～69を介してナンド回路80に出力するようにした。

【0128】そして、第1～第3ラッチ回路67～69がラッチした内容に基づいて、即ち全てのナンド回路61～63がそれぞれ対応するイーガルパターンの発生を検出したかどうかナンド回路80で判定させる。そして、全ての各イーガルパターンが発生した時、Hレベルの判定信号SGXを出力するようにした。つまり、偶発的にモードレジスタセットコマンドと1つのイーガルパターン(例えば第1の通常動作テストモードのためのイーガルパターン)が発生してもテストモード判定回路31はモードレジスタ15に対してその第1の通常動作テストモードをセットさせないようにした。

【0129】従って、SDRAM1が電源立ち上げ時等に偶発的に発生したコマンド及びアドレス信号が通常動作テストモードであっても、SDRAM1はそのテストモードに移行することはない。その結果、偶発的に発生した例えばセルプレートの高負荷試験のテストモードでの動作は回避され、メモリセル21の対向電極間に高電圧が印加されたままで気付かずに使用し続けられてメモリセル21の寿命を短くするといったことはなくなる。

【0130】(2) 本実施形態では、SDRAM1が電源立ち上げ時等に偶発的に発生したコマンド及びアドレス信号によって仮に通常動作テストモードとなっても、所定時間経過後には強制的にそのテストモードが解除されて通常の動作に復帰させることができる。

【0131】従って、ユーザはシステム電源を一旦切って再び立ち上げたり、再起動させることなく、偶発的に発生した例えばセルプレートの高負荷試験のテストモードでの動作の続行は回避される。その結果、メモリセル21の対向電極間に高電圧が印加されたままで気付かずに使用し続けられてメモリセル21の寿命を短くするといったことはなくなる。

【0132】尚、発明の実施の形態は、上記各実施形態に限定されるものでなく、以下のように実施してもよい。

○第1及び第2実施形態のテストモード制御回路32は、入力ピンPA0～PAnとアドレスバッファ/レジスタ&バンクセレクト回路12との間に配線された信号線に設けた。これをアドレスバッファ/レジスタ&バンクセレクト回路12から出力される内部メモリアドレス信号が出力される信号線に設けてもよい。又、アドレスバッファ/レジスタ&バンクセレクト回路12内の各アドレス信号毎に設けた入力バッファとラッチ回路との間の信号線に設けてもよく、要は、アドレス信号が相互に切り替え、通常の動作から変更させることができる箇所であれば何処にもうけてもよい。

【0133】○第1及び第2実施形態のテストモード制御回路32は、2つのアドレス信号を相互に切り替えるようにしたが、2つに限定されるのではなく3つ以上

を相互に切り替えて実施してもよい。

【0134】○第1及び第2実施形態のテストモード制御回路32は、アドレス信号を相互に切り替えて指定したメモリセルとは相違するメモリセルを指定しその内容を読み出すようにした。これをアドレス信号を相互に切り替えることをやめて、読み出される出力データ信号DQ0~DQnが対応する出力ピンから出力されないで異なる出力ピンから出力させて通常の動作から変更させるようにして実施してもよい。

【0135】つまり、テストモード制御回路32をI/Oデータバッファ/レジスタ13の出力側信号線又は入力側信号線に設けて実施する。勿論、I/Oデータバッファ/レジスタ13内の出力バッファとそのラッチ回路との間の信号線にテストモード制御回路32を設けてもよい。

【0136】○第1及び第2実施形態のテストモード制御回路32を外部コマンドの内容を変更させる回路にして実施してもよい。つまり、図11に示すように、コマンドデコーダ11にライトイネーブル信号/WEを供給する信号線Lwに第1トランスファークロスタ81を設ける。又、その第1トランスファークロスタ81に対して第2トランスファークロスタ82とインバータ回路83の直列回路を並列に接続する。そして、第1トランスファークロスタ81のPMOSTランジスタのゲート及びに第2トランスファークロスタ82のNMOSTランジスタのゲートに判定信号SGXを入力させる。又、第1トランスファークロスタ81のNMOSTランジスタのゲート及びに第2トランスファークロスタ82のPMOSTランジスタのゲートにインバータ回路84を介して判定信号SGXを入力させる。

【0137】このように構成することによって、図11に示すテストモード制御回路32はHレベルの判定信号SGXが出力されると、第1トランスファークロスタ81はオフし、第2トランスファークロスタ52はオンする。そして、ライトイネーブル信号入力ピンP4から入力されるライトイネーブル信号/WEは、インバータ回路83を介して反転されてコマンドデコーダ11に入力されることになる。

【0138】従って、コマンドデコーダ11には、外部装置から入力される外部コマンドは異なるコマンドが入力されることになる。つまり、外部装置から例えばライトコマンドを入力したにも拘わらずリードコマンドが入力された状態になる。その結果、ユーザは予期した動作と相違していることを容易に認識することができる。

【0139】尚、チップセレクト信号/CS等その他外部コマンドを構成する信号を反転させるようにして実施してもよい。勿論、アドレス信号A0~Anの少なくとも1つを反転させたり、入出力データ信号DQ0~DQnの少なくとも1つを反転させるようにして実施してもよい。

【0140】○第1及び第2実施形態のテストモード制

御回路32を、レイテンシの内容を変更、即ち通常の読み出し及び書き込み動作においてリードコマンド又はライトコマンド入力から最初のデータが読み出し又は書き込みされるまでのクロック数(アクセスタイム)を変更させる回路にして実施してもよい。この場合、通常動作テストモードになると、レイテンシが変更されるため、ユーザは予期した動作と相違していることを容易に認識することができる。

【0141】○第1及び第2実施形態のテストモード制御回路32を、バースト長の内容を変更、即ち通常の読み出し及び書き込み動作において連続して読み出されるデータ長又は連続して書き込まれるデータ長を変更させる回路にして実施してもよい。この場合、通常動作テストモードになると、レイテンシが変更されるため、ユーザは予期した動作と相違していることを容易に認識することができる。

【0142】○上記各実施形態では、通常動作が実行可能な通常動作テストモードを判定して、テストモード制御回路32やタイマ回路51やモードレジスタ15を制御するようにした。これを通常動作が実行可能な通常動作テストモード以外の、例えばアドレスカウンタテスト等の全てのテストモードを判定して、テストモード制御回路32やタイマ回路51やモードレジスタ15を制御するようにしてもよい。

【0143】○第1及び第2実施形態のテストモード判定回路31は、リードコマンドを入力した時、判定信号SGXを出力した。これをリードコマンドに代えてライトコマンド又はその他コマンドを入力した時に、判定信号SGXを出力するようにして実施してもよい。つまり、テストモード判定回路31をライトコマンドで判定信号SGXを出力するようにした場合、指定したアドレスのメモリセルとは相違するメモリセルにデータが書き込まれる異になる。

【0144】従って、指定したアドレスのメモリセルにデータを書き込み、次にその指定したアドレスのメモリセルに書き込んだデータを読み出すような動作では、リード動作時に先に書き込んだアドレスのメモリが指定されることはないことから、より容易にデータが違うことを認識することができる。

【0145】又、テストモード判定回路31がライトコマンドを判定し判定信号SGXを出力する場合において、テストモード制御回路32は前記した各別例にて実施してもよい。この時、前記I/Oデータバッファ/レジスタ13内にテストモード制御回路32を設ける場合には、入力バッファとそのラッチ回路との間の信号線に設けることになる。

【0146】○第1実施形態のテストモード判定回路31は、入力ピンP1~P4から直接外部コマンドを入力したが、図12に示すようにコマンドデコーダ11からの内部コマンドを入力してモードレジスタセットコマンドを

判定するようにしてもよい。勿論、第2及び第3実施形態のテストモード判定回路31に適用してもよい。

【0147】○第1実施形態のテストモード判定回路31は、入力ピンPA0～PAnから直接外部メモリアドレス信号A0～Anを入力したが、図12に示すようにアドレスバッファ/レジスタ&バンクセレクト回路12から出力される内部メモリアドレス信号A0～Anを入力してテストモードを判定するようにしてもよい。勿論、第2及び第3実施形態のテストモード判定回路31に適用してもよい。

【0148】○第1及び第2実施形態のテストモード判定回路31は、Hレベルの第2判定信号SGX2の発生に基づいてラッチしていたHレベルの判定信号SGXを出力していたが、第1判定信号SGX1の発生に基づいてHレベルの判定信号SGXを出力して実施してもよい。

【0149】○第2及び第3実施形態では、第1～第3の通常動作テストモードに対してタイマ回路51がタイムアップ信号STPを出力する時間は同じであった。これを第1～第3の通常動作テストモード毎にタイムアップ信号STPが出力される時間を変更してもよい。この場合、タイマ回路51を各ラッチ回路67～69毎に設け、それぞれ各ラッチ回路67～69のHレベルの出力が対応するタイマ回路に対して計時動作開始の信号として直接出力されることによって可能となる。

【0150】○第2及び第3実施形態では、Hレベルの判定信号SGXの消失でモードレジスタ15のテストモードをリセットさせるようにした。これをタイムアップ信号STPに基づいてモードレジスタ15のテストモードをリセットさせるようにしてもよい。

【0151】○第2及び第3実施形態では、タイマ回路51を設けたが、SDRAM1が備えているセルフリフレッシュカウンタをタイマ回路51として使用するようにしてもよい。この場合、Hレベルの判定信号SGXにตอบสนองして所定の値になるまでカウント動作を実行させることになる。この時、前記したようにテストモードの種類によってカウント値を適宜変更させて実施してもよい。

【0152】○第3実施形態では、所定時間後に通常動作テストモードを強制的に解除するためにタイマ回路51を設けたが、タイマ回路51を無くして強制的にテストモードが解除されないようにして実施してもよい。

【0153】○第2実施形態では、テストモード制御回路32を設けたが、このテストモード制御回路32を省略し、タイマ回路51にて所定時間後に通常動作テストモードを強制的に解除するだけにして実施してもよい。

【0154】○第3実施形態では、第1及び第2実施形態のようにテストモード制御回路32を設けていない。これを第3実施形態において、第1及び第2実施形態のようなテストモード制御回路32を設けて実施してもよい。この場合、例えば、第1及び第2実施形態のようにテストモード判定回路31の第2判定回路部31bを設

けて実施すると好適である。又、第2実施形態の第3判定回路部31cで説明したその第2判定回路31bからの第2判定信号SGX2に基づいてオン・オフ動作する第4トランスファークラップ78と同様なトランスファークラップを第4判定回路部31d（インバータ回路76の出力端子側）に設けと好適である。

【0155】○上記各実施形態では、SDRAMに具体化した但、FCRAM等その他各種RAMや、ROM、EEPROM等の半導体記憶装置に具体化してもよい。○上記各実施形態では、半導体記憶装置に具体化した但、信号処理装置等の半導体装置であってテストモードを有する半導体装置に具体化してもよい。

【0156】

【発明の効果】請求項1～10に記載の発明によれば、テストモードが誤ってエンタリーされた時にはユーザから容易に認識できるといった優れた効果を有する。

【0157】請求項11～15及び21に記載の発明によれば、テストモードが誤ってエンタリーされても解除することができるという優れた効果を有する。又、請求項15に記載の発明によれば、加えてテストモードが誤ってエンタリーされた時にはユーザから容易に認識できるといった優れた効果を有する。

【0158】請求項16～20及び22に記載の発明によれば、テストモードがエンタリーされ難くすることができるという優れた効果を有する。又、請求項17～20に記載の発明によれば、加えてテストモードが誤ってエンタリーされても解除することができるという優れた効果を有する。さらに、請求項20に記載の発明によれば、加えてテストモードが誤ってエンタリーされた時にはユーザから容易に認識できるといった優れた効果を有する。

【図面の簡単な説明】

【図1】第1実施形態のテストモード検出回路を説明するブロック回路図

【図2】第1実施形態のテストモード判定回路を説明する回路図

【図3】第1実施形態のテストモード制御回路を説明する回路図

【図4】第1実施形態のSDRAMの構成を説明するブロック回路図

【図5】第2実施形態のテストモード検出回路を説明するブロック回路図

【図6】第2実施形態のSDRAMの構成を説明するブロック回路図

【図7】第2実施形態の第3判定回路部を説明するブロック回路図

【図8】第3実施形態のSDRAMの構成を説明するブロック回路図

【図9】第3実施形態のテストモード判定回路を説明するブロック回路図

【図10】第3実施形態の第4判定回路部を説明する回路図

【図11】テストモード制御回路の別例を説明するブロック回路図

【図12】テストモード判定回路の別例を説明するためのブロック回路図

【符号の説明】

1 SDRAM

11 コマンドデコーダ

12 アドレスバッファ/レジスタ&バンクセレクト回路

13 I/Oデータバッファ/レジスタ

15 モードレジスタ

30 テストモード検出回路部

31 テストモード判定回路

31a 第1判定回路部

31b 第2判定回路部

31c 第3判定回路部

31d 第4判定回路部

32 テストモード制御回路

41~44 第1~第4トランスファゲート

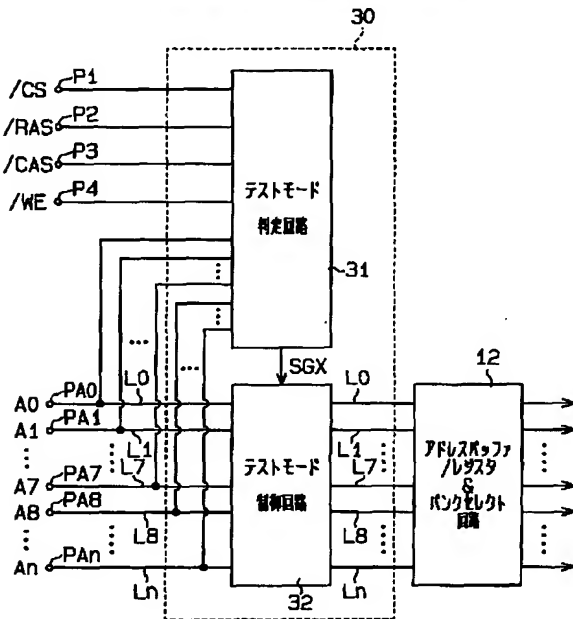
51 タイマ回路

61~63 ナンド回路

80 ナンド回路

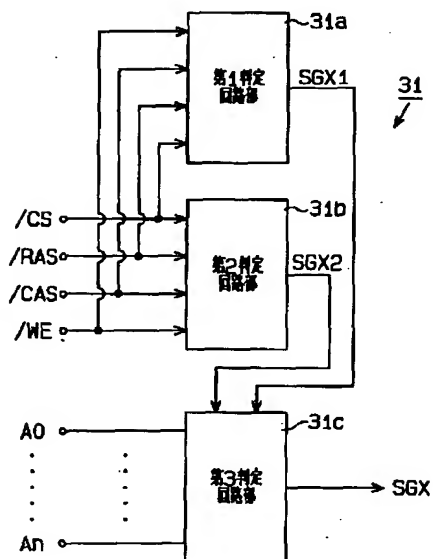
【図1】

第1実施形態のテストモード検出回路のブロック回路図



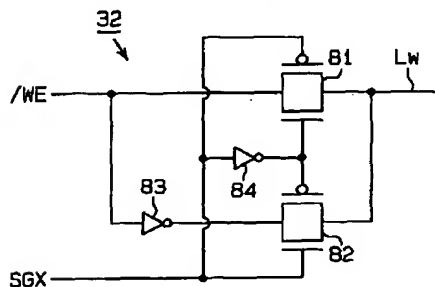
【図2】

第1実施形態のテストモード判定回路の回路図



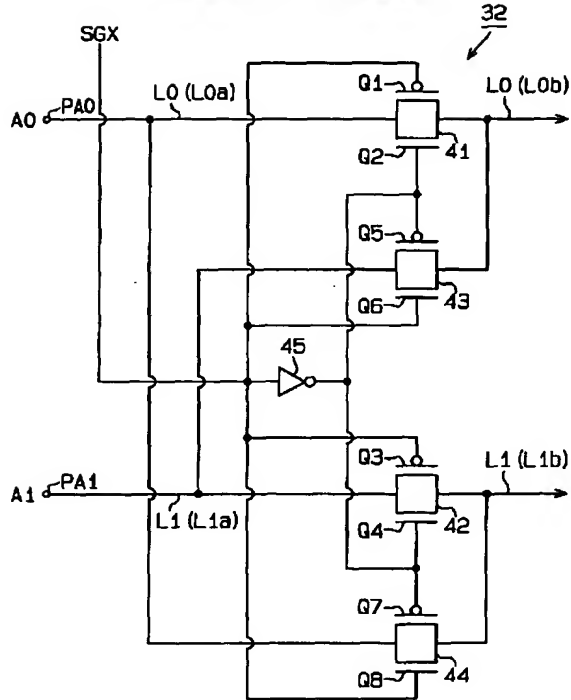
【図11】

テストモード制御回路の別例のブロック回路図



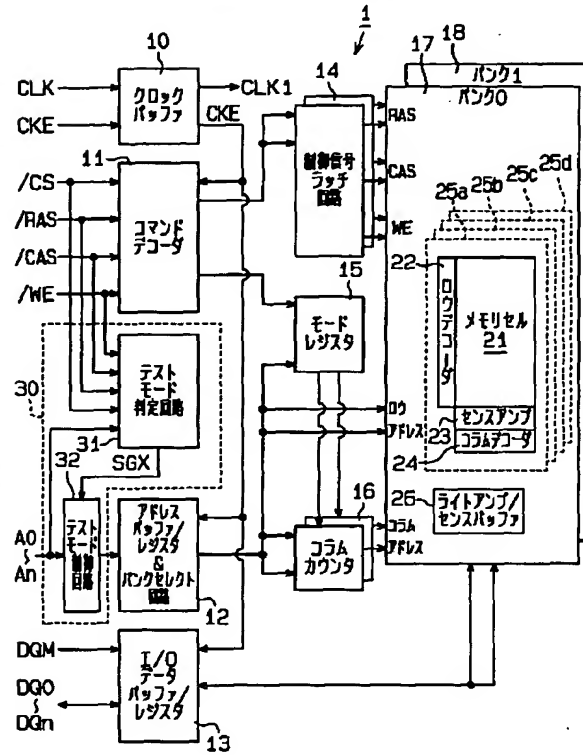
【図3】

第1実施形態のテストモード制御回路の回路図



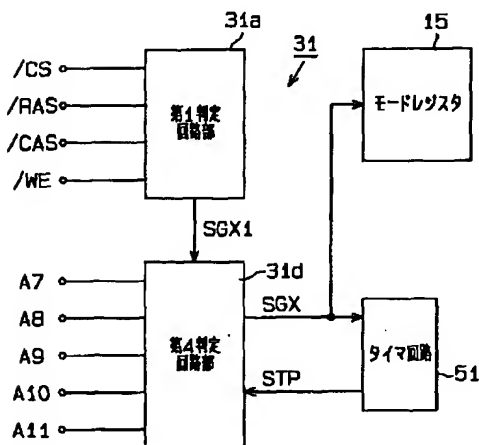
【図4】

第1実施形態のSDRAMのブロック回路図



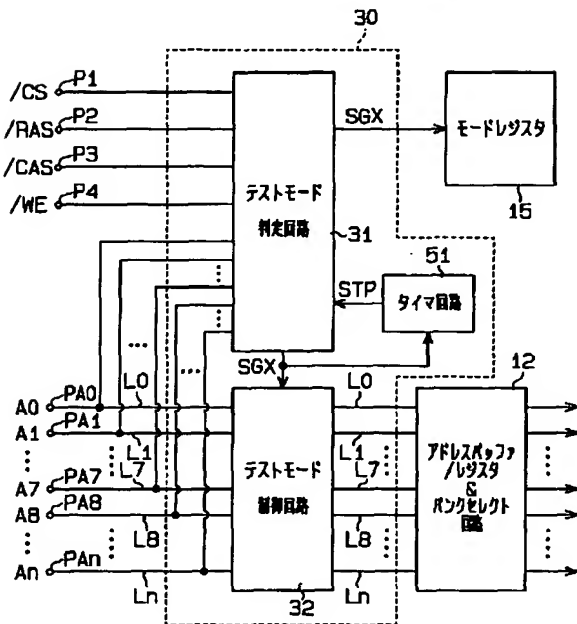
【図9】

第3実施形態のテストモード判定回路のブロック回路図



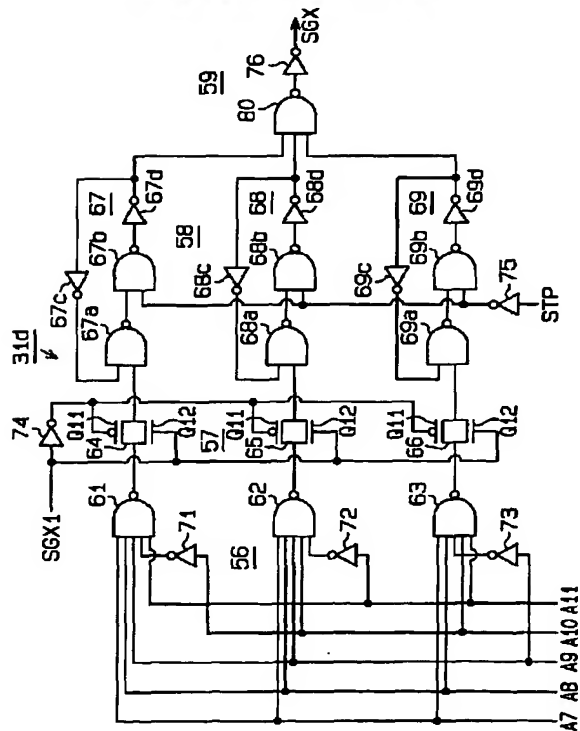
【図5】

表2 実施形態のテストモード検出回路のブロック回路図



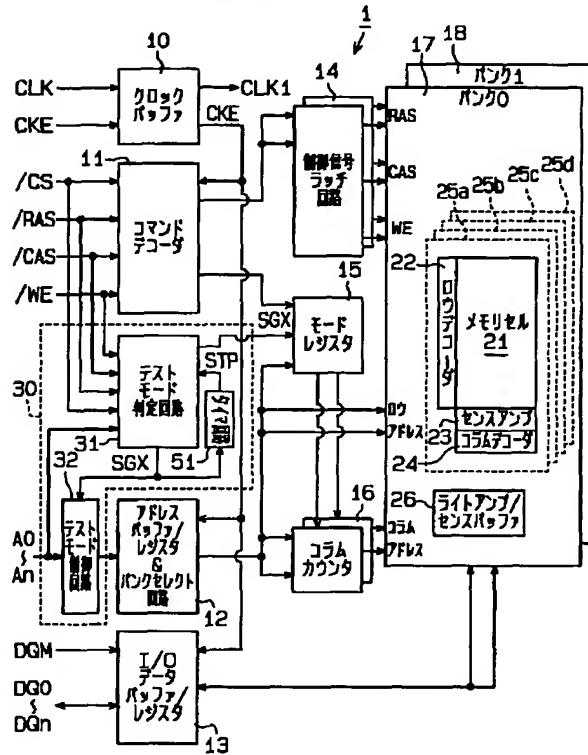
【図10】

第3実施形態の第4判定回路部のブロック回路図



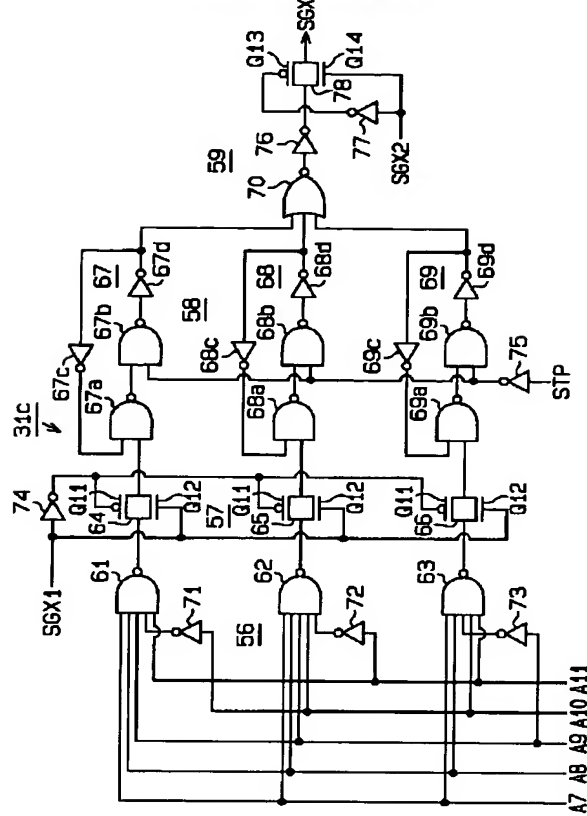
【図6】

第2実施形態のSDRAMのブロック回路図



【 図 7 】

第2実施形態の第3判定回路部の回路図



【 図 8 】

第3実施形態のSDRAMのブロック回路図

